

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Syotaro ONO, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING VERTICAL MOS GATE STRUCTURE AND METHOD OF
MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

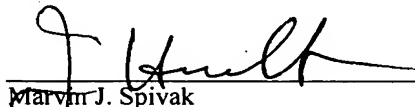
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-118462	April 23, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 3 日
Date of Application:

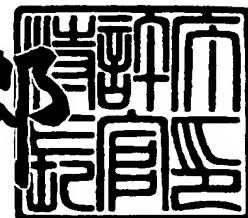
出 願 番 号 特 願 2 0 0 3 - 1 1 8 4 6 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 8 4 6 2]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 A000301026

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 小野 昇太郎

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 川口 雄介

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 中川 明夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 半導体層と、
前記第 1 半導体層上に形成された第 2 導電型の第 2 半導体領域と、
前記第 2 半導体領域上に選択的に形成された第 1 導電型の第 3 半導体領域と、
前記第 3 半導体領域の表面から前記第 3 半導体領域及び前記第 2 半導体領域に亘って形成され、前記第 3 半導体領域を貫通し、その深さは前記第 2 半導体領域の最も深い底部より浅く、その底面下には第 2 半導体領域が存在しないトレンチと、

前記トレンチの対向する両側面上にゲート絶縁膜を介して形成され、互いに隔離したゲート電極と、

前記トレンチの両側面上の前記ゲート電極間に絶縁膜を介して形成された導電性材料と、

を具備することを特徴とする半導体装置。

【請求項 2】 第 1 導電型の第 1 半導体層と、
前記第 1 半導体層上に形成された第 2 導電型の第 2 半導体領域と、
前記第 2 半導体領域上に形成された第 1 導電型の第 3 半導体領域と、
前記第 3 半導体領域の表面から前記第 3 半導体領域及び前記第 2 半導体領域を貫通し、その深さは前記第 2 半導体領域の最も深い底部より浅く形成されたトレンチと、

前記トレンチの対向する両側面上に形成されたゲート絶縁膜と、
前記トレンチ内の前記ゲート絶縁膜上に形成されたゲート電極と、
前記トレンチの底面と前記ゲート電極との間に形成され、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚い絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項 3】 前記トレンチの底面と前記第 1 半導体領域との間には、前記第 1 半導体領域の不純物濃度より高い濃度の第 1 導電型の第 4 半導体領域が形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記トレンチの底面と前記第 1 半導体領域との間に形成された前記第 4 半導体領域は、前記第 1 半導体層と前記第 2 半導体領域との境界領域に離隔して配置されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 2 半導体領域上には、この第 2 半導体領域の不純物濃度よりも高い濃度の第 2 導電型の第 5 半導体領域が形成されており、この第 5 半導体領域上及び第 3 半導体領域上にはソース電極が形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】 前記導電性材料は、前記ソース電極に電氣的に接続されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記導電性材料は、浮遊電極であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記離隔したゲート電極は、前記トレンチの内部において一部分が接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記離隔したゲート電極が接続された前記一部分下の前記トレンチの底面と前記第 1 半導体領域との間には、前記ゲート絶縁膜と隣接する前記第 2 半導体領域の不純物濃度よりも高い濃度の第 2 導電型の第 6 半導体領域が形成されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記トレンチの底面と前記離隔したゲート電極との間、及び前記トレンチの底面と前記導電性材料との間に形成された絶縁膜は、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】 前記第 1 半導体層はドレイン領域であり、前記第 2 半導体領域はベース領域であり、前記第 3 半導体領域はソース領域である MOS 型電界効果トランジスタを構成していることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 12】 半導体基板上に第 1 半導体層を形成する工程と、
前記第 1 半導体層に所定の深さのトレンチを形成する工程と、
前記第 1 半導体層の表面領域に、前記トレンチの側面に接する第 2 半導体領域を形成する工程と、

前記トレンチの対向する両側面上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に導電膜を堆積する工程と、
前記導電膜を異方性エッチングして、前記トレンチの両側面上のみに導電膜を残す工程と、

前記トレンチの両側面上の前記導電膜をマスクにしたセルフアライン法により不純物をイオン注入し、前記トレンチの底面下に第4半導体領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に高速なスイッチング特性が必要とされる縦型MOS (Metal-Oxide-Semiconductor) ゲート構造を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

従来より、半導体素子主面にトレンチ (trench: 溝) を形成し、これを利用して形成するトレンチ・ゲート構造は、IGBT (Insulated Gate Bipolar Transistor) やMOSFET (Field Effect Transistor) などの半導体素子に应用され、特に電力用などの用途において有利な構造である。

【0003】

例えば、トレンチ・ゲート構造を有するMOSFETは、スイッチング速度が速く、電流容量が大きく、数十ボルト～数百ボルト程度の耐圧が得られることから、携帯型端末やパーソナル・コンピュータなどのスイッチング電源等に広く利用されつつある。

【0004】

特に、電源システムの高速度化、高効率化に伴い、DC-DCコンバータに用いられるパワーMOSFETでは、素子のオン抵抗、帰還容量の低減はますます重要視されている。図10に、従来のトレンチゲート型MOSFETの断面構造を

示す（例えば、特許文献1参照）。

【0005】

【特許文献1】

特開平5-7002号公報

【0006】

【発明が解決しようとする課題】

しかしながら、図10に示した従来のトレンチゲート型MOSFETでは、ゲート電極101とn-型半導体層（ドレイン層）102との対向面積が広いいため、ゲートドレイン間の容量が大きい。このため、オンオフ時のミラー充電期間が長くなり、高速なスイッチングが望めないという問題がある。よって、電源システムの高速化（高周波化）、高効率化のためには、オン抵抗ならびゲートドレイン間容量の低減が急務である。

【0007】

そこでこの発明は、前記課題に鑑みてなされたものであり、オン抵抗が低く、高速なスイッチング特性を有する半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

前記目的を達成するために、この発明の一実施形態の半導体装置は、第1導電型の第1半導体層と、前記第1半導体層上に形成された第2導電型の第2半導体領域と、前記第2半導体領域上に形成された第1導電型の第3半導体領域と、前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域に亘って形成され、前記第3半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く、その底面下には第2半導体領域が存在しないトレンチと、前記トレンチの対向する両側面上にゲート絶縁膜を介して形成され、互いに離隔したゲート電極と、前記トレンチの両側面上の前記ゲート電極間に絶縁膜を介して形成された導電性材料とを具備することを特徴とする。

【0009】

また、この発明の他の実施形態の半導体装置は、第1導電型の第1半導体層と

、前記第1半導体層上に形成された第2導電型の第2半導体領域と、前記第2半導体領域上に形成された第1導電型の第3半導体領域と、前記第3半導体領域の表面から前記第3半導体領域及び前記第2半導体領域を貫通し、その深さは前記第2半導体領域の最も深い底部より浅く形成されたトレンチと、前記トレンチの対向する両側面上に形成されたゲート絶縁膜と、前記トレンチ内の前記ゲート絶縁膜上に形成されたゲート電極と、前記トレンチの底面と前記ゲート電極との間に形成され、前記トレンチの両側面上に形成された前記ゲート絶縁膜よりも膜厚が厚い絶縁膜とを具備することを特徴とする。

【0010】

また、前記目的を達成するために、この発明の一実施形態の半導体装置の製造方法は、半導体基板上に第1半導体層を形成する工程と、前記第1半導体層に所定の深さのトレンチを形成する工程と、前記第1半導体層の表面領域に、前記トレンチの側面に接する第2半導体領域を形成する工程と、前記トレンチの対向する両側面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に導電膜を堆積する工程と、前記導電膜を異方性エッチングして、前記トレンチの両側面上のみに導電膜を残す工程と、前記トレンチの両側面上の前記導電膜をマスクにしたセルフアライン法により不純物をイオン注入し、前記トレンチの底面下に第4半導体領域を形成する工程とを具備することを特徴とする。

【0011】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

【第1の実施の形態】

まず、この発明の第1の実施の形態の半導体装置について説明する。図1は、第1の実施の形態のMOSFETの構造を示す断面図である。

【0013】

図1に示すように、 n^+ 型半導体基板11の一方の主面上には、 n^- 型エピタキシャル層12が形成されている。 n 型エピタキシャル層12上には、 p 型ベー

ス領域 13 が形成されている。さらに、p 型ベース領域 13 の表面領域には、n+ 型ソース領域 14 が形成されている。

【0014】

前記 n+ 型ソース領域 14 及び p 型ベース領域 13 には、n+ 型ソース領域 14 の表面から前記 n+ 型ソース領域 14 及び p 型ベース領域 13 を貫通する所定の深さのトレンチ 15 が形成されている。このトレンチ 15 の前記所定の深さは、p 型ベース領域 13 の最も深い底部より浅く、トレンチ 15 の底面下には、p 型ベース領域 13 は存在せず、n- 型エピタキシャル層 12 が存在している。このような構造を形成できるのは、トレンチ 15 の側面近傍の p 型ベース領域 13 が基板側に膨らんだ形状を有しているためである。さらに、トレンチ 15 の底面と n- 型エピタキシャル層 12 との間には、n- 型エピタキシャル層 12 より不純物濃度が高い n 型半導体領域 16 が形成されている。

【0015】

前記トレンチ 15 の両側面上にはゲート絶縁膜 17 が形成されており、このゲート絶縁膜 17 上には分離されたゲート電極（例えば、ポリシリコン）18 がそれぞれ形成されている。言い換えると、トレンチ 15 の両側面上には、互いに隔離したゲート電極 18 が配置されている。さらに、これらゲート電極 18 上には、絶縁膜（例えば、酸化膜）19 が形成されている。なお、ゲート電極 18 は、図示しないゲート配線に接続される。

【0016】

前記 p 型ベース領域 13 上には、前記トレンチ 15 の側面に接する前記 n+ 型ソース領域 14 が配置されている。さらに、n+ 型ソース領域 14 に隣接して p+ 型半導体領域 20 が形成されている。なお、p+ 型半導体領域 20 は、後述するソース電極と p 型ベース領域 13 との間にオーミックコンタクトを形成するために設けられている。

【0017】

前記絶縁膜 19 上、n+ 型ソース領域 14 上、及び p+ 型半導体領域 20 上にはソース電極 21 が形成されており、トレンチ 15 内のゲート電極 18 間には、絶縁膜 19 を介してソース電極 21 が埋め込まれている。さらに、n+ 型半導体

基板 11 の前記一方の主面に対向する他方の主面上には、ドレイン電極 22 が形成されている。

【0018】

このような構造を有するトレンチゲート型の MOSFET では、ゲートドレイン間のオーバーラップ面積、すなわちゲート電極 18 と n 型半導体領域 16 とが対向する面積を最小にすることができるため、ゲートドレイン間に形成される容量を低減することが可能である。

【0019】

また、トレンチ 15 側面上に分割して形成されたゲート電極 18 間に絶縁膜を介して形成されると共に、トレンチ 15 底面上の絶縁膜上に形成されたソース電極 21 を設けることで、トレンチ 15 底面下の n 型半導体領域 16 はフィールドプレートの効果により通常の n- 型エピタキシャル層 12 の不純物濃度よりも高濃度とすることが可能である。すなわち、n 型半導体領域 16 を n- 型エピタキシャル層 12 の不純物濃度よりも高濃度としても、MOSFET の耐圧が低下することはない。これらにより、ゲートドレイン間のスイッチング容量が最小となり、かつオン抵抗の低い MOSFET を形成することができる。

【0020】

次に、前記第 1 の実施の形態の MOSFET の製造方法について説明する。

【0021】

図 2 (a)、図 2 (b)、図 2 (c)、図 3 (a)、図 3 (b)、図 3 (c) は、前記第 1 の実施の形態の MOSFET の製造方法を示す各工程の断面図である。

【0022】

まず、図 2 (a) に示すように、n+ 型半導体基板 11 の一方の主面上に、エピタキシャル成長法により n- 型エピタキシャル層 12 を形成する。続いて、n- 型エピタキシャル層 12 上に、熱酸化法により酸化膜 31 を形成する。

【0023】

次に、反応性イオンエッチング（以下、RIE）法により異方性エッチングを行い、図 2 (a) に示すように、n- 型エピタキシャル層 12 に所定の深さのト

レンチ 15 を形成する。さらに、イオン注入法により、n- 型エピタキシャル層 12 に p 型不純物、例えばホウ素 (B) を注入し熱処理を行って、前記トレンチ 15 の側面に接する p 型ベース領域 13 を形成する。その後、酸化膜 31 を除去し、熱酸化法によりトレンチ 15 の側面上にゲート絶縁膜 17 を形成する。

【0024】

続いて、図 2 (b) に示す構造上に、すなわちゲート絶縁膜 17 上に、図 2 (c) に示すように、ポリシリコン膜 32 を堆積する。さらに、RIE 法によりポリシリコン膜 32 を異方性エッチングして、図 3 (a) に示すように、トレンチ 15 の両側面上のみにゲート電極 18 としてのポリシリコンを残す。

【0025】

次に、図 3 (b) に示すように、後酸化法、あるいは CVD 法によりゲート電極 18 上に酸化膜などの絶縁膜 19 を形成する。続いて、ゲート電極 18 をマスクにしたセルフアライン工程により、n 型不純物、例えばリン (P) またはヒ素 (As) をイオン注入し、図 3 (c) に示すように、トレンチ 15 の底面下に n 型半導体領域 16 を形成する。この時 (底部に n 型不純物をイオン注入するとき)、ゲート電極上あるいはゲート電極に挟まれるトレンチ底部の絶縁膜は除去してあってもよい。

【0026】

また、トレンチ 15 の側面に接する p 型ベース領域 13 の表面領域に、n 型不純物、例えばリン (P) またはヒ素 (As) をイオン注入し、選択的に n+ 型ソース領域 14 を形成する。さらに、n+ 型ソース領域 14 に隣接する p 型ベース領域 13 の表面領域に、p 型不純物、例えばホウ素 (B) をイオン注入し、p+ 型半導体領域 20 を形成する。

【0027】

その後、n+ 型ソース領域 14 上、p+ 型半導体領域 20 上、及び絶縁膜 19 上に、ソース電極 21 を形成する。さらに、n+ 型半導体基板 11 の前記一方の主面に対向する他方の主面上に、ドレイン電極 22 を形成する。以上の工程により、図 1 に示した MOSFET が製造される。

【0028】

前述した製造工程では、ゲート電極 18 上に絶縁膜 19 を成長あるいは堆積した状態で、n 型不純物イオンをイオン注入することにより、トレンチ 15 底面の絶縁膜 17 を介してゲート電極 18 と対向する n 型半導体領域（ドレイン領域）16 を最小に形成することができる。また、素子表面部に n+ 型ソース領域 14 を形成し、トレンチ 15 の側面上に残ったポリシリコン膜（ゲート電極）をゲート配線と接続することにより、ゲート絶縁膜 17 を介してポリシリコン膜と対向するトレンチ 15 の側面から底面にかけての p 型ベース領域 13 にチャネルが形成される。

【0029】

次に、この発明のその他の実施の形態の MOSFET について説明する。

【0030】

図 4 は、この発明の第 2 の実施の形態の MOSFET の構造を示す断面図である。

【0031】

前記第 1 の実施の形態では、トレンチ 15 内の分割されたゲート電極 18 間に、絶縁膜 19 を介してソース電極 21 の一部を埋め込んでいたが、必ずしもこのようにゲート電極 18 間に形成する導電性材料を、ソース電極 21 と同一の材料で一体に形成したり、またはソース電極 21 に直接接続する必要はない。

【0032】

例えば、図 4 に示すように、トレンチ 15 内の分割されたゲート電極 18 間に絶縁膜 19 を介して、ソース電極 21 と異なる材質の導電性材料 23 を埋め込んでも良い。その他の構成及び効果については、前記第 1 の実施の形態と同様である。

【0033】

また、図 5 はこの発明の第 3 の実施の形態の MOSFET の構造を示す断面図である。図 5 に示すように、トレンチ 15 底面上の絶縁膜 17 A の厚さを、トレンチ 15 側面上（チャネル部上）に形成されたゲート絶縁膜 17 より厚く形成してもよい。これは、ポリシリコン膜を RIE 法にてエッチングした後に、さらに後酸化工程を追加すればよい。このような構造にすれば、前記第 1 の実施の形態

より、さらにゲートドレイン間の帰還容量が低減でき、スイッチング特性を高速化できる。その他の構成及び効果については、前記第1の実施の形態と同様である。

【0034】

さらに、図6はこの発明の第4の実施の形態のMOSFETの構造を示す断面図である。前記第1の実施の形態では、トレンチ15の両側面上に分割した2つのゲート電極18を形成したが、この第4の実施の形態ではトレンチ15内に1つのゲート電極24を形成する。また、トレンチ15底面上の絶縁膜17Aの厚さを、トレンチ15側面上（チャネル部上）に形成されたゲート絶縁膜17より厚く形成する。さらに、ゲート電極24下のp型ベース領域13とn-型エピタキシャル層12との境界領域部分のみに分離されたn+型半導体領域16A、16Bをそれぞれ形成する。このような構造にすれば、ゲートドレイン間の容量が低減でき、スイッチング特性を高速化できる。また、後述するような、ゲート電極の抵抗が高くなるという懸念も生じない。その他の構成及び効果については、前記第1の実施の形態と同様である。

【0035】

また、分割された2つのゲート電極構造を持つ前記第1～第3の実施の形態では、ゲート電極の抵抗が高くなるという懸念がある。しかし、この懸念は以下のような構造にすることで解消できる。

【0036】

例えば、ポリシリコン膜をRIE法にてエッチングした後に、スパッタ法によりポリシリコン膜上にチタニウム（Ti）を堆積し、熱工程を加えることにより、ポリシリコン表面をシリサイド化する。これにより、ゲート電極の抵抗を低減することができる。従来のゲートを分割させない構造と比較し、シリサイド化した面積を広く形成することが可能であるため、効果的にゲート抵抗の低減を図ることができる。

【0037】

また、素子表面から見た平面図は、通常、図7に示すように、トレンチ15、及びゲート電極18がストライプ形状になっている。これに対し、前記第1～第

3の実施の形態では、図8に示すように、2つのゲート電極18を構成する2本のポリシリコン配線の一部で、2本のポリシリコン配線間にポリシリコンを残し、2本のポリシリコン配線間を接続した部分33を形成する。これにより、ゲート電極18の抵抗を低減することができる。

【0038】

図7及び図8中のA-A線に沿った断面は図1、図4、及び図5に各々示した通りであり、図8中のB-B線に沿った断面は図9に示す通りである。図8に示すように、ゲート電極18の一部でポリシリコンをトレンチ15内に残した部分33を形成した場合、図9に示すように、トレンチ15底面下にはn型半導体領域ではなく、p型ベース領域13よりも不純物濃度が高いp+型半導体領域25を形成する。これは、図9に示した断面構造では、ゲート電極26がトレンチ15全体に埋め込まれており、ゲートドレイン間の帰還容量が大きくなってしまったため、ゲート電圧印加時でもp+型半導体領域25が反転しないようにしたものである。図9ではトレンチ15底面下のみをp+型半導体領域25としたが、トレンチ15側面のチャンネル部もp型ベース領域13よりも不純物濃度が高いp+型半導体領域としてもよい。

【0039】

なお、上記実施形態では、第1導電型をn型とし、第2導電型をp型として説明したが、第1導電型をp型、第2導電型をn型としても本発明の実施の形態と同様の効果が得られる。

【0040】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。また、本発明の実施の形態はその要旨を逸脱しない範囲で種々変形し実施が可能である。

【0041】

【発明の効果】

以上述べたようにこの発明によれば、オン抵抗が低く、高速なスイッチング特性を有する半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施の形態の MOSFET の構造を示す断面図である。

【図 2】 前記第 1 の実施の形態の MOSFET の製造方法を示す各工程の断面図である。

【図 3】 前記第 1 の実施の形態の MOSFET の製造方法を示す他の各工程の断面図である。

【図 4】 この発明の第 2 の実施の形態の MOSFET の構造を示す断面図である。

【図 5】 この発明の第 3 の実施の形態の MOSFET の構造を示す断面図である。

【図 6】 この発明の第 4 の実施の形態の MOSFET の構造を示す断面図である。

【図 7】 参考例の MOSFET におけるトレンチ及びゲート電極のレイアウトを示す平面図である。

【図 8】 この発明の実施の形態の MOSFET におけるトレンチ及びゲート電極のレイアウトを示す平面図である。

【図 9】 図 8 中の B-B 線に沿って切断した場合の断面図である。

【図 10】 従来のトレンチゲート型の MOSFET の構造を示す断面図である。

【符号の説明】

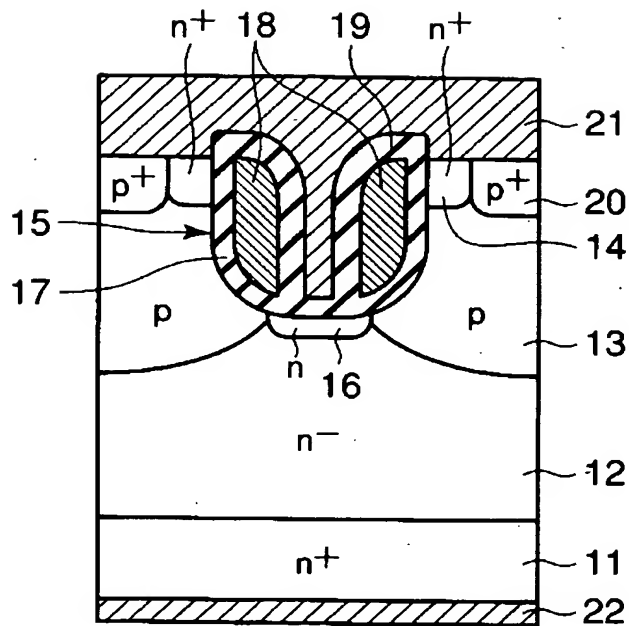
11...n+ 型半導体基板、12...n- 型エピタキシャル層、13...p 型ベース領域、14...n+ 型ソース領域、15...トレンチ、16...n 型半導体領域、16A...n+ 型半導体領域、16B...n+ 型半導体領域、17...ゲート絶縁膜、17A...絶縁膜、18...ゲート電極、19...絶縁膜、20...p+ 型半導体領域、21...ソース電極、22...ドレイン電極、23...導電性材料、24...ゲート電極、25...p+ 型半導体領域、26...ゲート電極、31...酸化膜、32...ポリシリコン

膜、3 3…ポリシリコン残存部分。

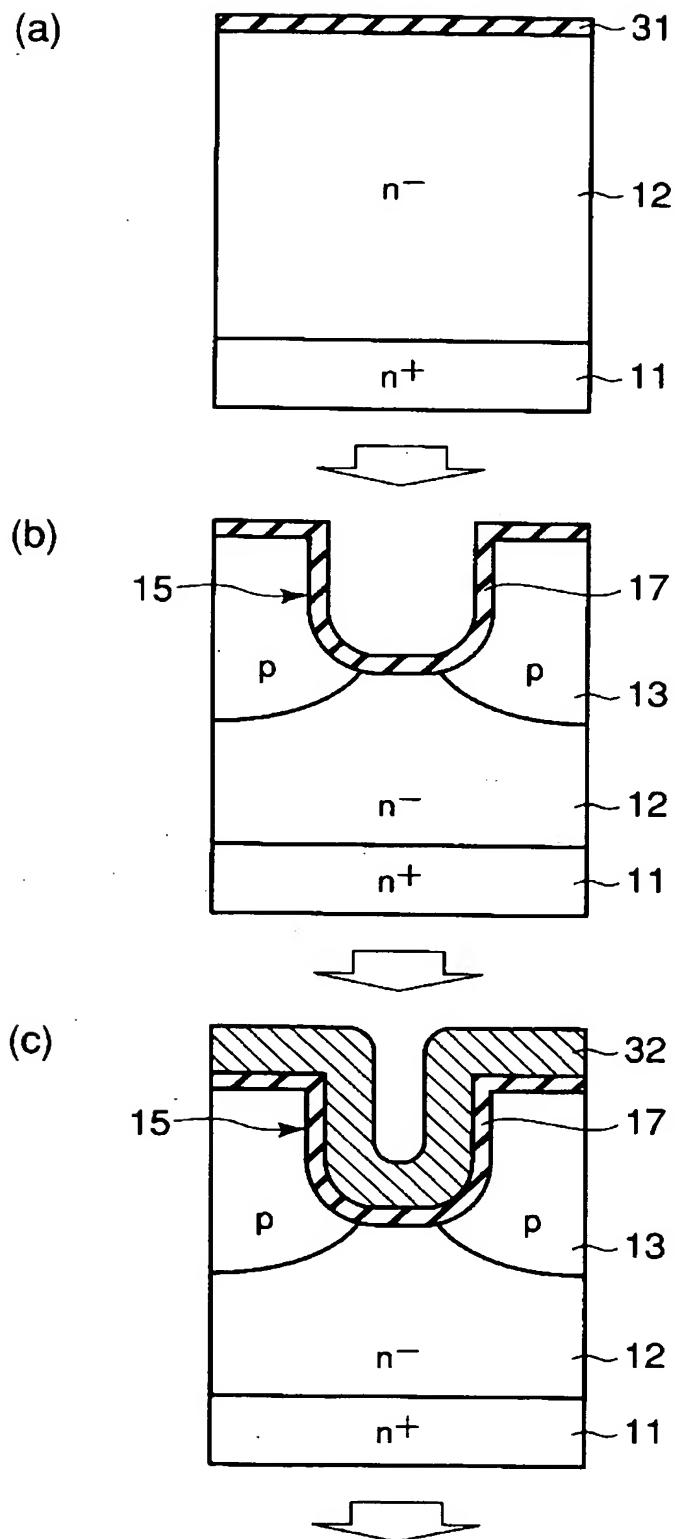
【書類名】

図面

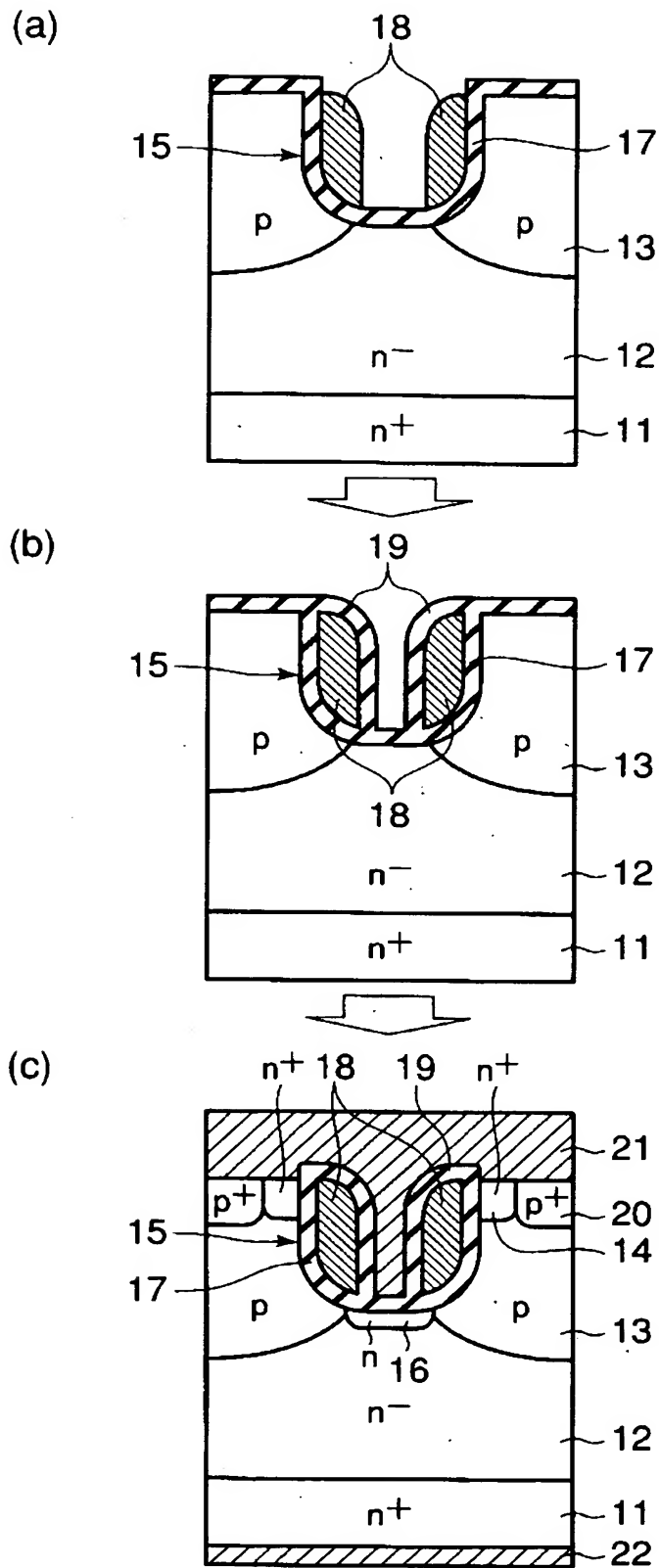
【図 1】



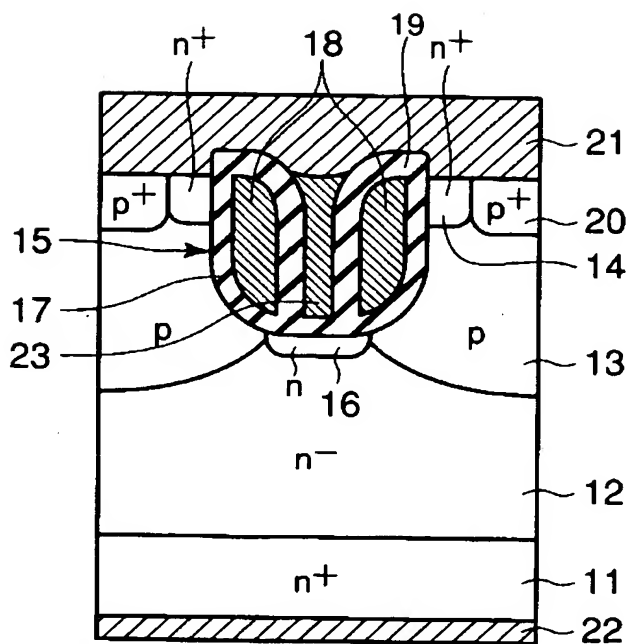
【図 2】



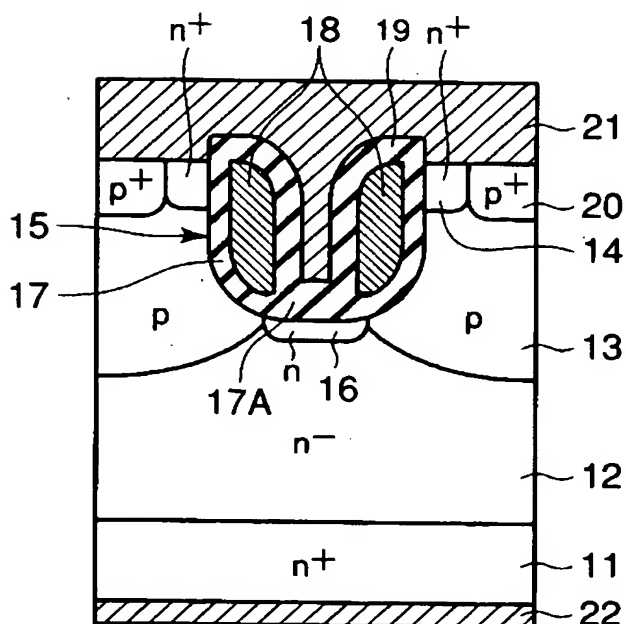
【図 3】



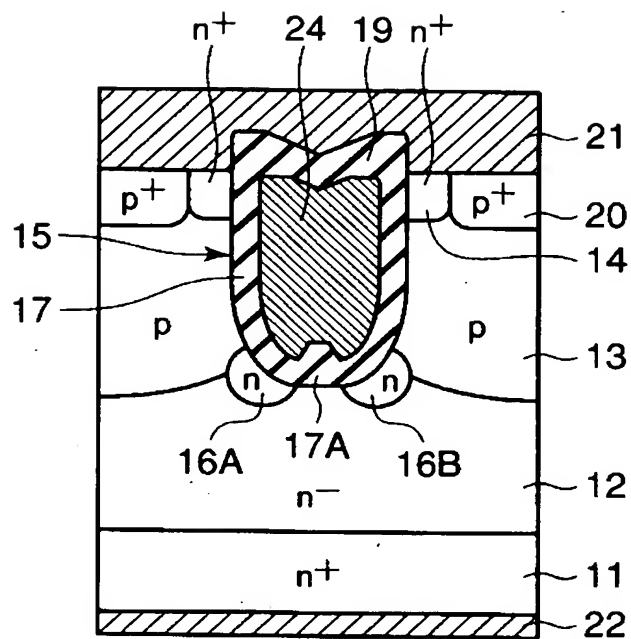
【図 4】



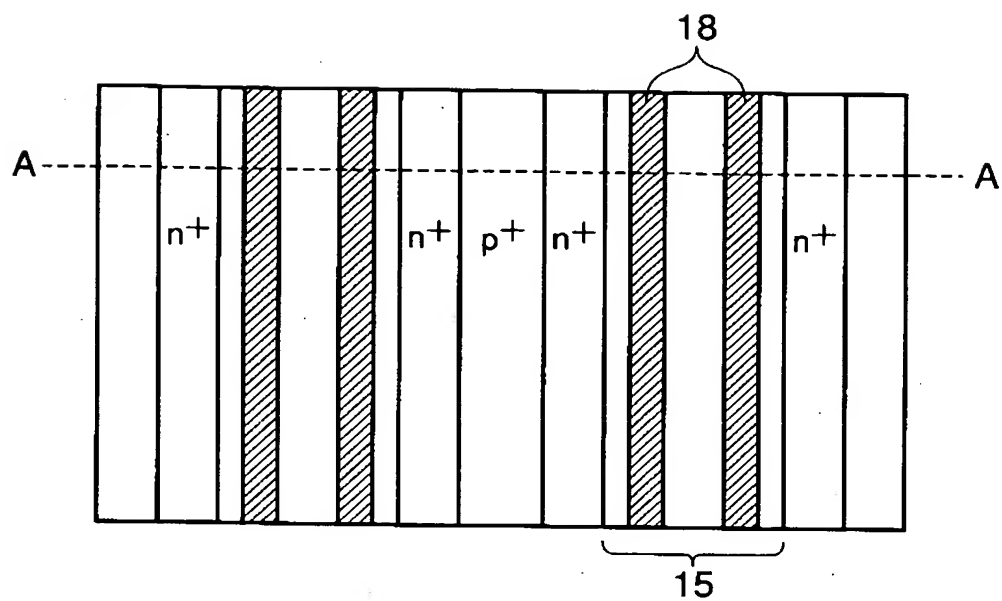
【図 5】



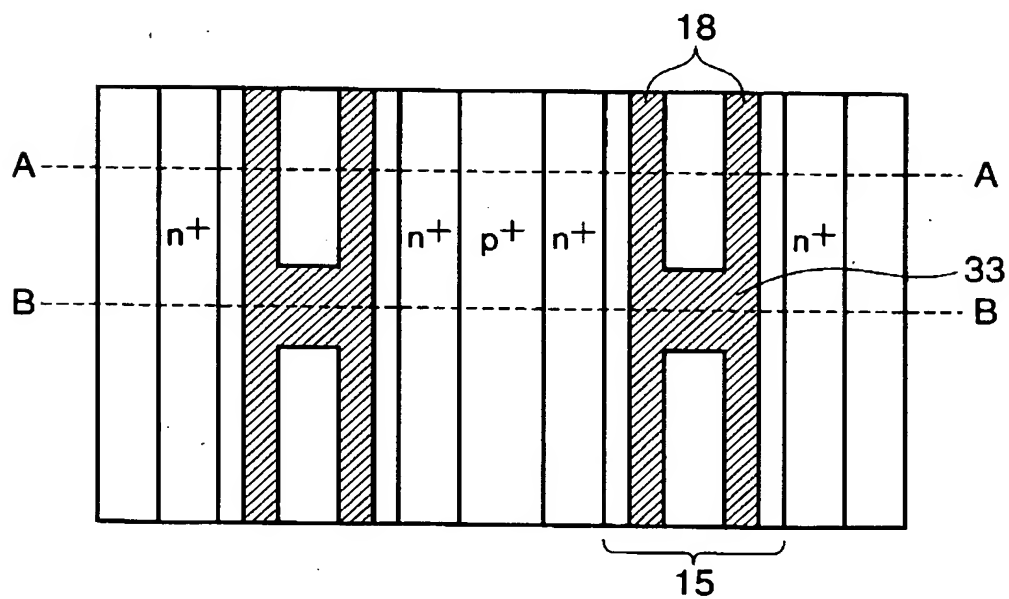
【図 6】



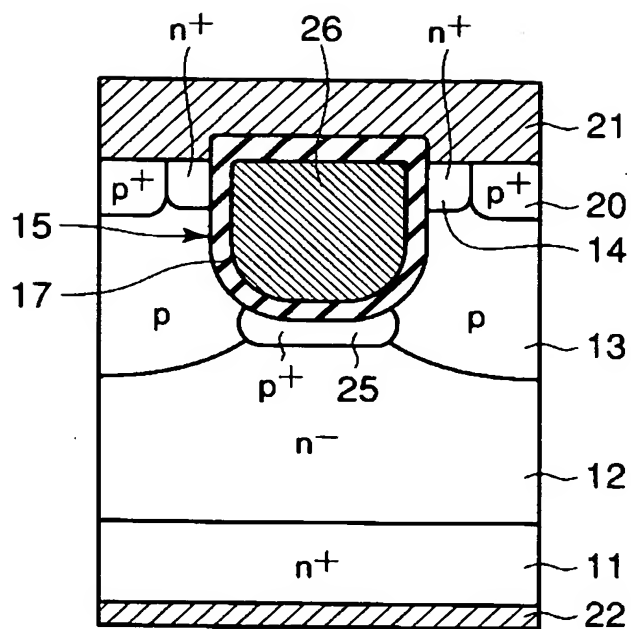
【図 7】



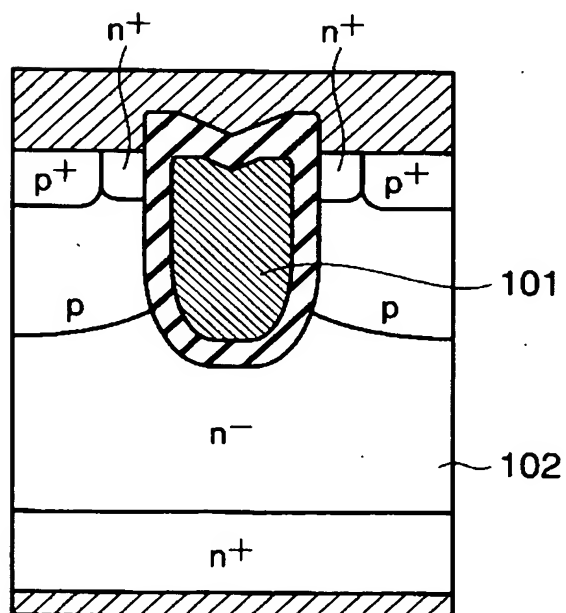
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 オン抵抗が低く、高速なスイッチング特性を有する半導体装置を提供する。

【解決手段】 n- 型エピタキシャル層 12 と、n- 型エピタキシャル層 12 上に形成された p 型ベース領域 13 と、p 型ベース領域 13 上に形成された n+ 型ソース領域 14 と、n+ 型ソース領域 14 の表面からこの n+ 型ソース領域 14 及び p 型ベース領域 13 に亘って形成され、n+ 型ソース領域 14 を貫通し、その深さは p 型ベース領域 13 の最も深い底部より浅く、その底面下には p 型ベース領域 13 が存在しないトレンチ 15 と、トレンチ 15 の対向する両側面上にゲート絶縁膜 17 を介して形成され、互いに離隔したゲート電極 18 と、トレンチ 15 の両側面上のゲート電極 18 間に絶縁膜 19 を介して形成された導電性材料とから構成される。

【選択図】 図 1

特願 2003-118462

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝